

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

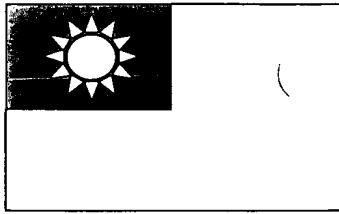
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



CHANG et al  
BSKB WP  
703-203-800

January 29, 2004  
3313-1099P  
10F1

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 14 日  
Application Date

申請案號：092131918  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

局長

Director General

蔡 練 生

發文日期：西元 2003 年 12 月 31 日  
Issue Date

發文字號：  
Serial No.

09221319120

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

晶圓級構裝結構及其製造方法 / Wafer Level Chip Scale Packaging Structure  
and Method of Fabrication The Same

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID : S00002002A

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 翁政義 / Cheng-I WENG

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號 / No. 195, Sec. 4, Chung-Hsing Rd.,  
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國籍：(中文/英文) 中華民國 / TW

參、發明人：(共 2 人)

姓名：(中文/英文) ID : 1. N122345966 2. F120714734

1. 張恕銘 / CHANG, SHU MING

2. 沈里正 / SHEN, LEE CHENG

住居所地址：(中文/英文)

1. 新竹縣竹東鎮中興路四段 195 號 / No. 195, Sec. 4, Chung-Hsing  
Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.

2. 新竹縣竹東鎮中興路四段 195 號 / No. 195, Sec. 4, Chung-Hsing  
Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.

國籍：(中文/英文)

1. 中華民國 / TW 2. 中華民國 / TW

#### 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書  
規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 ☐ 主張國際  
優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序

註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 伍、中文發明摘要：

一種晶圓級構裝結構及其製造方法，係利用一般半導體製程技術使作為矽晶片與電路板間電性連接之凸塊下方形成具有一特殊凸塊接點保護設計之犧牲層，使得犧牲層與電路板之接合處是整個結構中最脆弱的地方，因此當凸塊所受應力過大時會由此犧牲層與電路板結合處產生碎裂以消除矽晶片與電路板之間因熱膨脹係數不同所產生之應力，可以避免當應力過大時，造成凸塊處產生碎裂，而影響其電性導通。

## 陸、英文發明摘要：

A wafer level chip scale packaging structure and method of fabrication the same is to form a sacrificial layer below the bump by semi-conductor process. The bump is used to connecting the signals between the Si wafer and the PCB. Then, the interface between the sacrificial layer and the PCB is the weakest part in the whole structure. So that when the stress applied to the bump is overloaded, the interface between the sacrificial layer and the PCB will crash to remove the stress generated by different thermal expansion coefficients of the Si wafer and the PCB. The sacrificial layer would help to avoid the crash happened in the bump to protect the electrical conduction between the Si wafer and the PCB.

## 柒、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件代表符號簡單說明：

90	基板
91	接合點
100	絕緣層
101	接合部
102	懸浮部
110	金屬導線
120	凸塊
130	電路板
170	保護層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明是關於一種晶圓級構裝結構及其製造方法，特別是一種利用特殊設計之犧牲層材料、界面碎裂或懸浮結構之彈性以消除矽晶片與電路板之間因熱膨脹係數不同所產生之應力的晶圓級構裝結構及其製造方法。

### 【先前技術】

「晶圓級晶粒尺寸構裝」(Wafer Level Chip Scale Packaging)對於晶粒與電路板之組裝而言是一項很重要的技術。此技術與傳統覆晶封裝技術不同之處在於：由於晶粒(以矽為底材)與電路板材料之熱膨脹係數之差異很大，因此，當晶粒組裝完畢後，在進行可靠度測試時，很容易從錫球接點處產生碎裂(crack)，而影響其電性連接。

因此，便在覆晶封裝技術中加入封膠(underfill)的步驟，以保護錫球接點免於受損。然而由於封膠的步驟十分耗時，且封膠完畢後很難再進行修復的動作，所以，便發展出晶圓級晶粒尺寸構裝以取代傳統的覆晶封裝技術。

由於這種晶圓級晶粒尺寸構裝技術具有比其他構裝形式更佳的電性表現及較低的製造成本，而且，係屬於可重工(re-work)的構裝技術，因此，此技術在未來電子產品之生產上，將扮演越來越重要的角色。

而目前已研發出的晶圓級晶粒尺寸構裝技術有下列幾種，說

明如下：

請參考「第 1 圖」所示，係為日本 Hitachi 公司在 2001 年的 Electronic Components and Technology Conference(第 40 頁至第 46 頁)發表之論文所揭露的構裝結構，此技術係應用於矽晶粒 10 與電路板 20 之封裝，而其主要的精神是在錫球 30 底部置放一極軟的彈性層 40，藉由此彈性層 40 以釋放矽晶粒 10 與電路板 20 之間因熱膨脹係數不同所產生的應力。

然而，此技術中由於合適之彈性層 40 材料的選擇不多，且在製作上有其技術門檻，因此，目前應用的範圍仍受限於寬間距 (pitch)/低腳數的積體電路元件之構裝。

接著，請參考「第 2 圖」所示，係為美國專利第 4875969 號所揭露之應用於半導體裝置之晶圓級載體(Chip-Scale Carrier for Semiconductor Devices Including Mounted Spring Contacts)，此技術係利用具彈性之金屬線 50 作為矽晶粒 10 與高分子電路板 20 間電性連接的管道，利用此金屬線 50 具有極佳的彈性之特性，以消除矽晶粒 10 與電路板 20 間因熱膨脹係數差異過大所產生的應力。

然而，由於金屬線 50 是利用打線的方式製作而成，而且為了增加其強度，需再利用特殊製程強化金屬線，因此會增加製造上的成本。

而，請參考「第 3 圖」所示，係為 Fujitsu 公司所提出的 Super CSP 結構，此技術是利用半導體製程長出高度約 100 微米的銅柱

60 作為矽晶粒 10 與電路板 20 間的電性連接，以消除矽晶粒 10 與電路板 20 間的應力問題。

然而，利用此結構以緩衝應力的效果並不理想，且要長出如此高的銅柱 60 及保護銅避免氧化等製程步驟反倒會增加製作成本，因此，在實際應用上並不十分可行。

最後，請參考「第 4 圖」所示，係為美國專利申請公開案第 2002/0127768 A1 號所揭露之晶圓級構裝結構，其主要的技術特徵是在導電凸塊 70 之下方形成氣孔 80，以氣孔 80 取代「第 1 圖」( 中所示之彈性層 40，以獲得更佳的彈性效果。

然而，此氣孔 80 需以特殊的材料及與其搭配之製程步驟才能製作而成，因此，對於構裝結構之量產上仍有其限制。

而基於產品之可靠度考量的原故，大部份的構裝技術只能應用於具有低腳數(小於 100 輸入/輸出埠)及面積較小的積體電路原件，並無法適用於未來高腳數/大面積的積體電路元件。

因此，為使未來具有高腳數、多功能、大晶粒尺寸的電子元件，例如：系統單晶片(SoC)或系統級構裝，能搭配最佳的構裝形式，例如：晶圓級構裝，以表現出其高效能設計，並以最低的製造成本及最小的體/面積來完成其構裝，是未來極需克服與研究的目標。

#### 【發明內容】

有鑑於上述的問題，本發明之主要目的在於提供一種晶圓級構裝結構及其製造方法，係利用一般半導體製程技術使傳統作為

晶粒與電路板間電性連接之凸塊底下的部份具有一特殊凸塊接點保護設計之犧牲層，使得犧牲層與電路板之接合處是整個結構中最脆弱的地方，因此當凸塊所受應力過大時會由此犧牲層與電路板結合處產生碎裂以消除晶粒與電路板之間因熱膨脹係數不同所產生之應力，可以避免當應力過大時，造成錫球接點處產生碎裂，而影響其電性連接。此犧牲層亦可主動予以移除使得凸塊下方之部分懸空，以形成一懸浮部，藉由此懸浮部之彈性消除矽晶片與電路板之間因熱膨脹係數不同所產生之應力。

本發明基本之構裝結構主要包含有：基板、絕緣層、金屬導線、凸塊及保護層。此基板即是透過凸塊與電路板進行電性連接。

此基板的部份即為矽晶片，當利用半導體製程在基板上製作出所需之電路佈局後，即可藉由其表面之接合點(pad)將外界訊號導入，以控制整個基板之作動。

而絕緣層係設置於基板之上，其具有一接合部與一懸浮部。接合部是直接連接於基板之上，而懸浮部係懸浮於基板之上，並與接合部相互連接。

接著，再利用線路重佈技術將金屬導線由原來接合點的位置拉到懸浮部之上方，再於懸浮部上方的位置長出凸塊，以導通接合點及凸塊，使基板與上方之電路板進行電性導通。最後，再於金屬導線之上方形成一保護層，以保護整個封裝結構免於受損。

由於整個晶圓級構裝結構係利用相當成熟之半導體製程所製

作而成，因此，可實際應用於構裝結構之量產。

為使對本發明的目的、構造特徵及其功能有進一步的了解，茲配合圖示詳細說明如下：

### 【實施方式】

請參考「第 5 圖」及「第 6 圖」所示，係為本發明第一實施例之構裝結構的結構剖面圖及上視圖，其主要包含有：基板 90、絕緣層 100、金屬導線 110、凸塊 120 及保護層 170 等五個部份。此基板 90 即是透過凸塊 120 與電路板 130 進行電性連接。

基板 90 通常係為一矽晶片，當利用半導體製程在基板 90 上製作出所需之電路後，即可藉由其表面之接合點(pad)91 將外界訊號導入，以控制此基板 90 之作動。

而絕緣層 100 係設置於基板 90 之上，其具有一接合部 101 與一懸浮部 102。接合部 101 是直接製作於基板 90 之上，並使各接合點 91 之表面裸露，以供金屬導線 110 連接之用；而懸浮部 102 係懸浮於基板 90 之上，並與接合部 101 相互連接。

由於基板 90 上之接合點 91 係利用半導體製程製作而成，因此，接合點 91 間之間距(pitch)皆很密，然而，在電路板 130 上雖可製作出同樣小的間距，但確需花費較高的製作成本。

為解決此問題，架構在基本凸塊製程的線路重佈技術(Redistribution Layer; RDL)即被應用於晶圓上，其主要的目的即是藉由重建輸入/輸出埠(即圖中之凸塊 120)的分佈，以放寬電路板 130 上各間距之距離，使其達到電路板之低製造成本的要求。

本發明即是係利用線路重佈技術將金屬導線 110 由原來接合點 91 的位置拉到懸浮部 102 上方，再於懸浮部 102 上方的位置長出凸塊 120，以導通接合點 91 及凸塊 120，使基板 90 與上方之電路板 130 進行電性導通。最後，再於金屬導線 110 之上方形成一保護層 170，以保護整個基板 90 及其封裝結構免於受損。

本發明即是以懸浮部 102 作為一個保護接點(凸塊 120)之設計，當有應力產生時，由於懸浮部 102 本身具有一些彈性，因此，可藉由懸浮部 102 些微的振盪擺動釋放基板 90 與電路板 130 之間因熱膨脹係數不同所產生之應力，以防止習知技術中由錫球接點(即圖中之凸塊 120)處產生碎裂而釋放應力的現象，達到保護基板 90 之接合點 91 與凸塊 120 之電性連接免於受損之目的。

請參考「第 7 圖」所示，係為本發明第二實施例之構裝結構的上視圖，其結構大致上是與第一實施例相雷同，不過，其更包含有數個連接於凸塊 120 之懸臂樑 111，此懸臂樑 111 係與金屬導線 110 同時製作(但不需連接至接合點 91)且設置於絕緣層 100 之上，可以進一步補強單懸臂樑之結構強度。

請參考「第 8 圖」所示，係為本發明第三實施例之構裝結構的剖面圖，其結構大致上是與第一實施例相雷同，不過，其更包含有一犧牲層 140，此犧牲層 140 係設置於基板 90 與絕緣層 100 之懸浮部 102 之間，且位於凸塊 120 下方之位置。

而此犧牲層 140 與基板 90 之接合處是整個結構中界面附著力

最弱或材料易脆的地方，因此，當凸塊 120 所受之應力過大時，會由犧牲層 140 與基板 90 結合處產生碎裂，以釋放基板 90 與電路板 130 之間因熱膨脹係數不同所產生之應力，但仍可維持基板 90 之接合點 91 與凸塊 120 間之電性導通。

此犧牲層 140 之材料可為金屬、環氧樹脂(Epoxy)、有機高分子材料、無機氧化物材料等，只要所選用的材料與基板 90 間之界面附著力或犧牲層材料本身是整個結構中機械強度較差之處即可。

同樣地，在第三實施例之構裝結構中亦可設置有數個連接於凸塊 120 之懸臂樑 111(圖中未示)，此懸臂樑 111 係與金屬導線 110 同時製作(但不需連接至接合點 91)且設置於絕緣層 100 之上，可以進一步補強單懸臂樑之結構強度。

請參考「第 9 圖」所示，係為本發明第四實施例之構裝結構的剖面圖，此結構大致上是與第一實施例相雷同，不過，其更包含有一彈性層 150 及一犧牲層 140，犧牲層 140 係設置於彈性層 150 之上，且二者係夾置於基板 90 與絕緣層 100 之懸浮部 102 之間，並位於凸塊 120 下方之位置。而彈性層 150 係由具彈性之材料所組成。

當凸塊 120 所受之應力過大時，由於彈性層 150 本身具有彈性，因此，可吸收基板 90 與電路板 130 之間因熱膨脹係數不同所產生之應力，以保護凸塊 120 與接合點 91 之電性連接免於受損。

同樣地，在第四實施例之構裝結構中亦可設置有數個連接於凸塊 120 之懸臂樑 111(圖中未示)，可以進一步補強單懸臂樑之結構強度。

請參考「第 10 圖」所示，係為本發明第五實施例之構裝結構的剖面圖，此結構大致上是與第一實施例相雷同，不過，其更包含有一彈性層 150 設置於基板 90 與絕緣層 100 之懸浮部 102 之間，並位於凸塊 120 下方之位置。此彈性層 150 與基板 90 間之附著力是小於絕緣層 100 之接合部 101 與基板 90 間之附著力；因此，當基板 90 與電路板 130 之間因熱膨脹係數不同所產生的應力過大時，係由彈性層 150 與基板 90 結合處產生碎裂，以釋放應力。同樣地，在第五實施例之構裝結構中亦可設置有數個連接於凸塊 120 之懸臂樑 111(圖中未示)，可以進一步補強單懸臂樑之結構強度。

請參考「第 11 圖」所示，係為本發明第六實施例之構裝結構的剖面圖，此結構與第一實施例稍有不同，其主要包含有：基板 90、第一絕緣層 103、第二絕緣層 104、金屬導線 110、凸塊 120 及保護層 170。

基板 90 上包含有一接合點 91，外界訊號係透過此接合點 91 導入基板中，以控制此基板 90 之作動。

第一絕緣層 103 係設置於基板 90 之上，並使各接合點 91 裸露；而第二絕緣層 104 則包含有一第一連接部 1041 及與其接合之一第二連接部 1042。第一連接部 1041 係設置於第一絕緣層 103 之

上，而第二連接部 1042 則係直接連接於基板 90 之上，且第二連接部 1042 與基板 90 間之附著力係小於第一連接部 1041 與基板 90 間之附著力。因此，當基板 90 與電路板 130 之間因熱膨脹係數不同所產生之應力過大時，係由第二連接部 1042 與基板 90 結合處產生碎裂，以釋放應力。

同樣地，在第六實施例之構裝結構中亦可設置有數個連接於凸塊 120 之懸臂樑 111(圖中未示)，可以進一步補強單懸臂樑之結構強度。

請參考「第 12A 圖」至「第 12 G 圖」所示，係為本發明晶圓級構裝結構之第一實施例的製作流程圖，說明如下：

首先，如「第 12A 圖」所示，於基板 90 上形成一接合點 91；接著，如「第 12B 圖」所示，於基板 90 上對應於凸塊 120 預定位置之處形成一犧牲層 140。

然後，如「第 12C 圖」所示，於基板 90 上形成一絕緣層 100，並於基板 90 及絕緣層 100 上適當位置之處形成開口 160，以作為後續蝕刻出懸浮部 102 之蝕刻窗口。

請參考「第 12D 圖」所示，於絕緣層 100 上形成一金屬導線 110，金屬導線 110 之一端係連接於接合點 91，而另一端係對應於凸塊 120 之位置。接著，如「第 12E 圖」所示，於絕緣層 100 上再形成一層保護層 170，以保護其下方之結構免於受損。

接著，如「第 12F 圖」所示，於金屬導線 110 對應於懸浮部

102 上方之處形成凸塊 120。

最後，如「第 12G 圖」所示，利用化學濕式蝕刻的方式蝕刻掉犧牲層 140，以形成懸浮部 102 之懸浮結構，即完成整個晶圓級構裝結構之製作。

而第三實施例之製作方法大致上是與第一實施例雷同，只不過需省略掉「第 12G 圖」中蝕刻掉犧牲層 140 的步驟即可。

而其它實施例之製作流程皆屬上述步驟之延伸變化，所以，在此不再多作贅述。

以上所述者，僅為本發明其中的較佳實施例而已，並非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。

#### 【圖式簡單說明】

第 1 圖係為習知以彈性層釋放矽晶粒與電路板之間因熱膨脹係數不同所產生的應力之構裝結構示意圖；

第 2 圖係為習知應用於半導體裝置之晶圓級載體的結構示意圖；

第 3 圖係為 Fujitsu 公司所提出的 Super CSP 結構之結構示意圖；

第 4 圖係為美國公開第 2002/0127768 A1 申請案所揭露之晶圓級構裝結構之結構示意圖；

第 5 圖係為本發明第一實施例之構裝結構的結構剖面圖；

第 6 圖係為本發明第一實施例之構裝結構的上視圖；

第 7 圖係為本發明第二實施例之構裝結構的上視圖；

第 8 圖係為本發明第三實施例之構裝結構的剖面圖；

第 9 圖係為本發明第四實施例之構裝結構的剖面圖；

第 10 圖係為本發明第五實施例之構裝結構的剖面圖；

第 11 圖係為本發明第六實施例之構裝結構的剖面圖；及

第 12A 圖至第 12 G 圖係為本發明晶圓級構裝結構之第一實施例的製作流程圖。

【圖式符號說明】

10	矽晶粒
20	電路板
30	錫球
40	彈性層
50	金屬線
60	銅柱
70	導電凸塊
80	氣孔
90	基板
91	接合點
100	絕緣層
101	接合部
102	懸浮部
103	第一絕緣層
104	第二絕緣層

1041 第一連接部

1042 第二連接部

110 金屬導線

111 懸臂樑

120 凸塊

130 電路板

140 犧牲層

150 彈性層

160 開口

170 保護層

## 拾、申請專利範圍：

### 1. 一種晶圓級構裝結構，其包括有：

一基板，其包含有一接合點(pad)；

一絕緣層，係設置於該基板之上，具有一使該接合點裸露之接合部以及一懸浮於該基板之上之懸浮部；

一凸塊(bump)，係對應於該懸浮部之上；及

一金屬導線，係設置於該接合部以及該懸浮部之上，並導通該接合點及該凸塊；

其中，該凸塊所受之應力過大時，係由該懸浮部之擺動以釋放應力，以保護該凸塊與該接合點之電性連接免於受損。

2. 如申請專利範圍第 1 項所述之晶圓級構裝結構，更包含有一個以上之懸臂樑，係設置於該絕緣層之上，且與該凸塊連接，以增加該凸塊之結構強度。

3. 如申請專利範圍第 1 項所述之晶圓級構裝結構，更包含有一犧牲層，係設置於該基板與該絕緣層之該懸浮部之間，且位於該凸塊下方之位置，當該凸塊所受之應力過大時，係由該犧牲層與該基板結合處產生碎裂(crack)，以釋放應力。

4. 如申請專利範圍第 3 項所述之晶圓級構裝結構，更包含有一個以上之懸臂樑，係設置於該絕緣層之上，且與該凸塊連接，以增加該凸塊之結構強度。

5. 如申請專利範圍第 3 項所述之晶圓級構裝結構，其中該犧牲層之材料係選自由金屬、環氧樹脂(Epoxy)、有機高分子材料、無

機氧化物材料所成組合之一。

6. 如申請專利範圍第 1 項所述之晶圓級構裝結構，更包含有一彈性層及一犧牲層，該犧牲層係設置於該彈性層之上，且二者係夾置於該基板與該絕緣層之該懸浮部之間，並位於該凸塊下方之位置，當該凸塊所受之應力過大時，係由該彈性層吸收多餘的應力，以保護該凸塊與該接合點之電性連接免於受損。
7. 如申請專利範圍第 6 項所述之晶圓級構裝結構，更包含有一個以上之懸臂樑，係設置於該絕緣層之上，且與該凸塊連接，以增加該凸塊之結構強度。
8. 如申請專利範圍第 6 項所述之晶圓級構裝結構，其中該犧牲層之材料係選自由金屬、環氧樹脂(Epoxy)、有機高分子材料、無機氧化物材料所成組合之一。
9. 如申請專利範圍第 1 項所述之晶圓級構裝結構，更包含有一彈性層，係設置於該基板與該絕緣層之該懸浮部之間，且位於該凸塊下方之位置，當該凸塊所受之應力過大時，係由該彈性層與該基板結合處產生碎裂，以釋放應力。
10. 如申請專利範圍第 9 項所述之晶圓級構裝結構，更包含有一個以上之懸臂樑，係設置於該絕緣層之上，且與該凸塊連接，以增加該凸塊之結構強度。
11. 一種晶圓級構裝結構，其包括有：

一基板，其包含有一個以上之接合點(pad);

一第一絕緣層，係設置於該基板之上，並使各該接合點裸露；

一第二絕緣層，其包含有一第一連接部及與其接合之一第二連接部，該第一連接部係設置於該第一絕緣層之上，而該第二連接部係設置於該基板之上，而該第二連接部與該基板間之附著力係小於該第一連接部與該基板間之附著力；

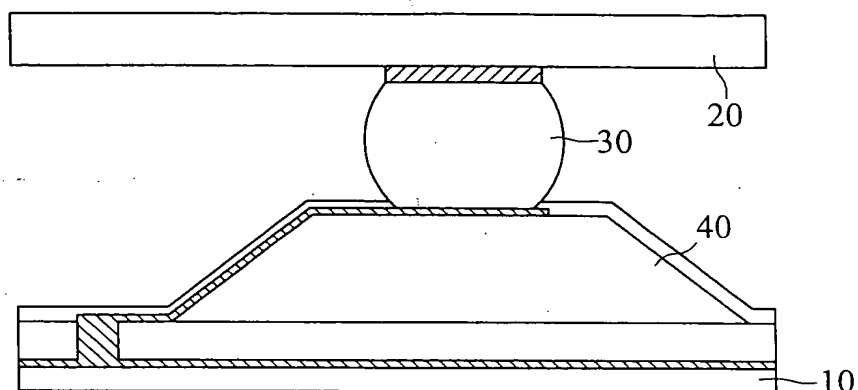
一個以上之凸塊(bump)，係對應於該第二連接部之上；及

一個以上之金屬導線，係設置於該第一連接部以及該第二連接部之上，並導通該接合點及該凸塊；

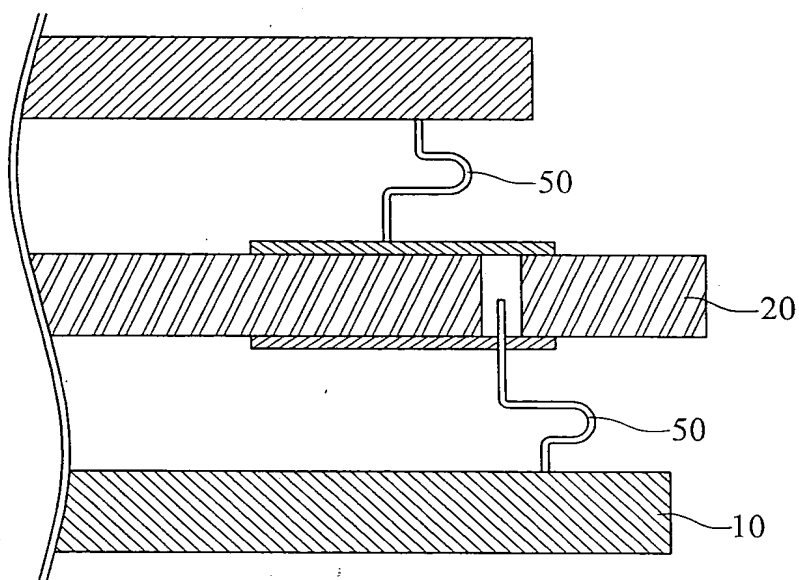
其中，該凸塊所受之應力過大時，係由該第二連接部與該基板結合處產生碎裂，以釋放應力。

12. 如申請專利範圍第 11 項所述之晶圓級構裝結構，更包含有一

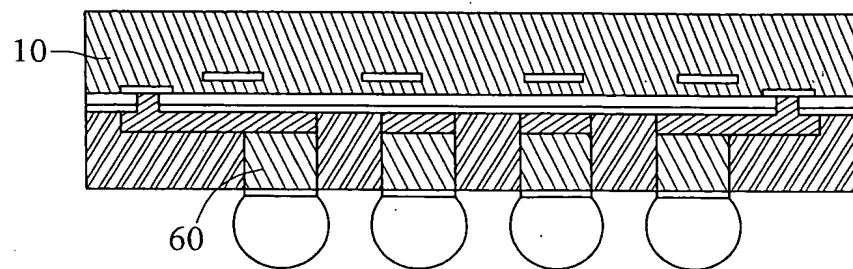
個以上之懸臂樑，係設置於該第二絕緣層之上，且與該凸塊連接，以增加該凸塊之結構強度。



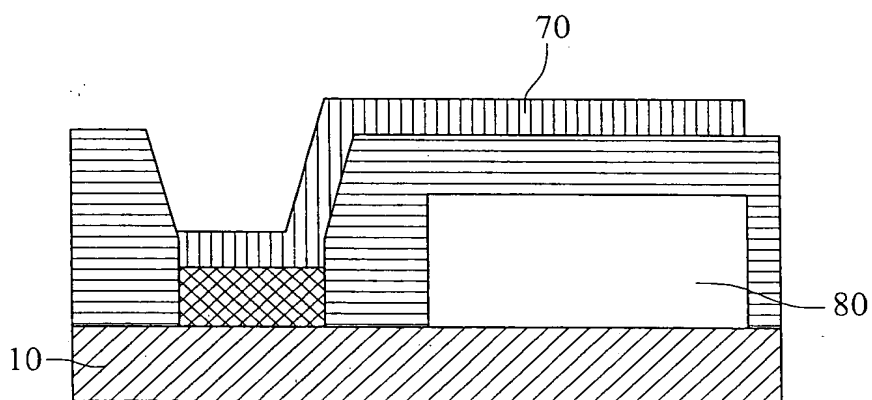
第1圖（習知技術）



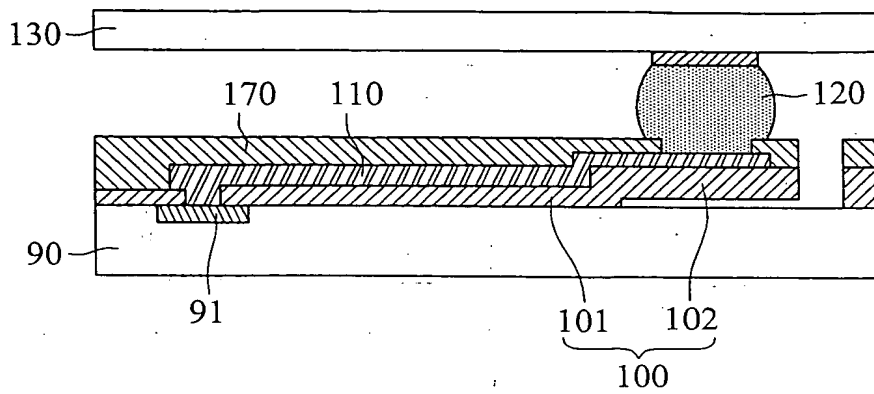
第2圖（習知技術）



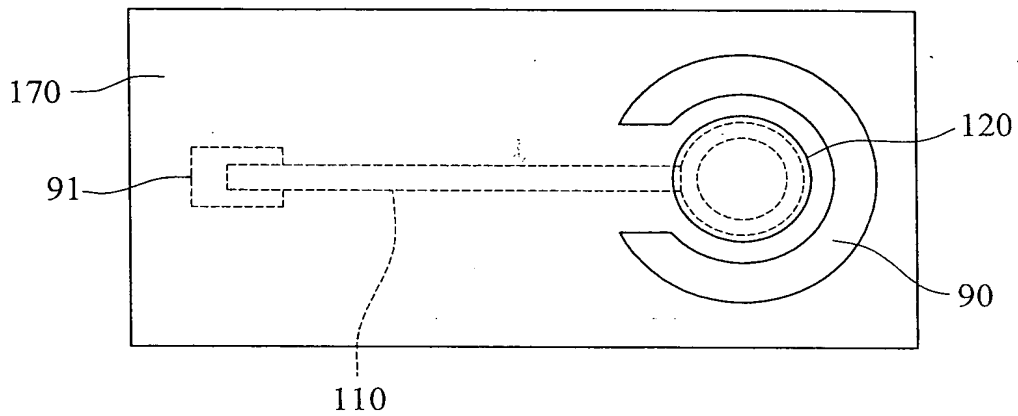
第3圖 (習知技術)



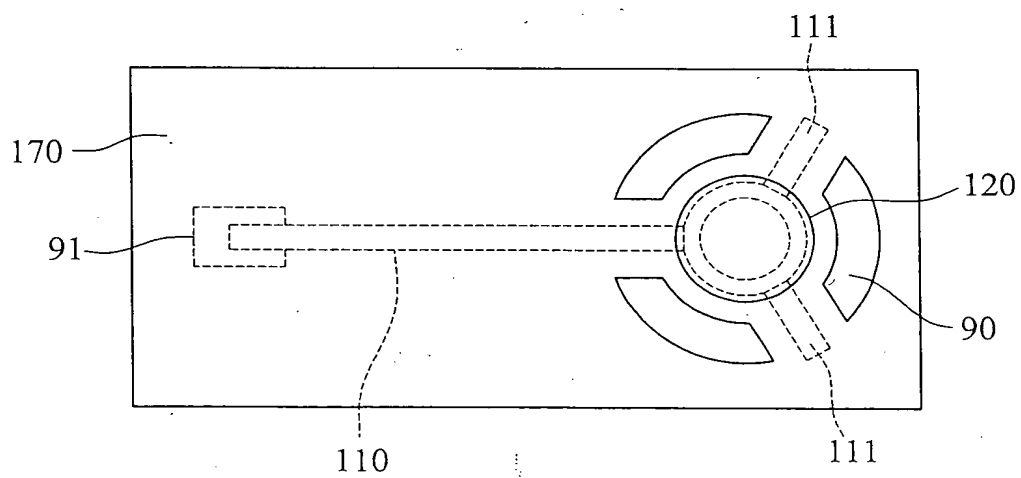
第4圖 (習知技術)



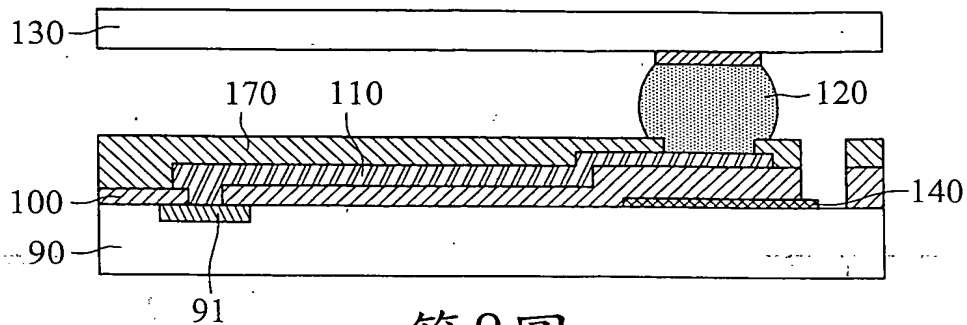
第5圖



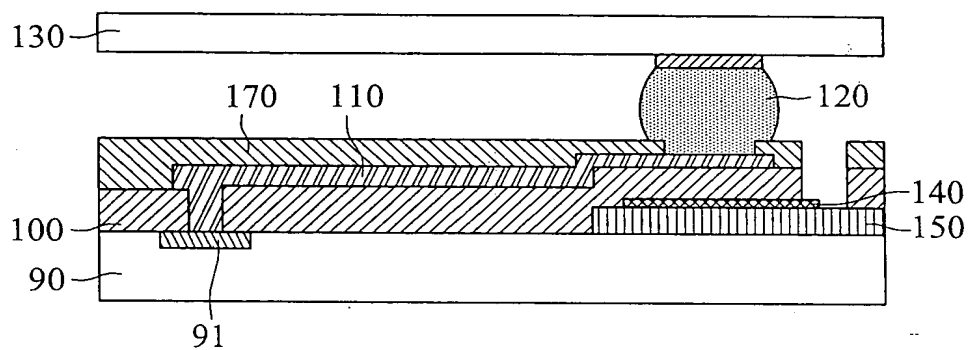
第6圖



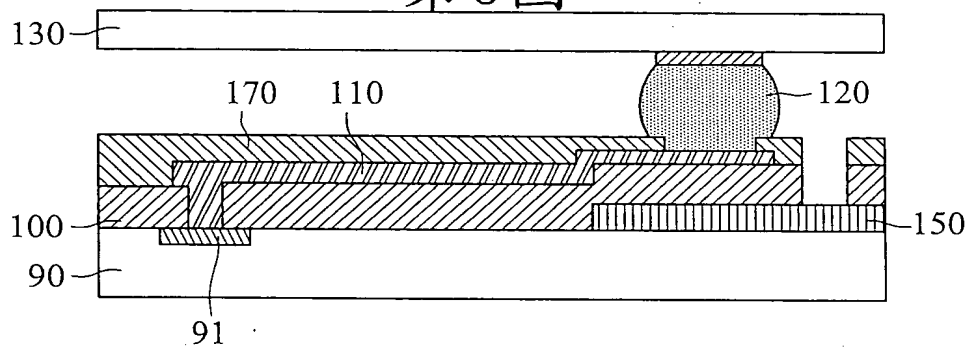
第7圖



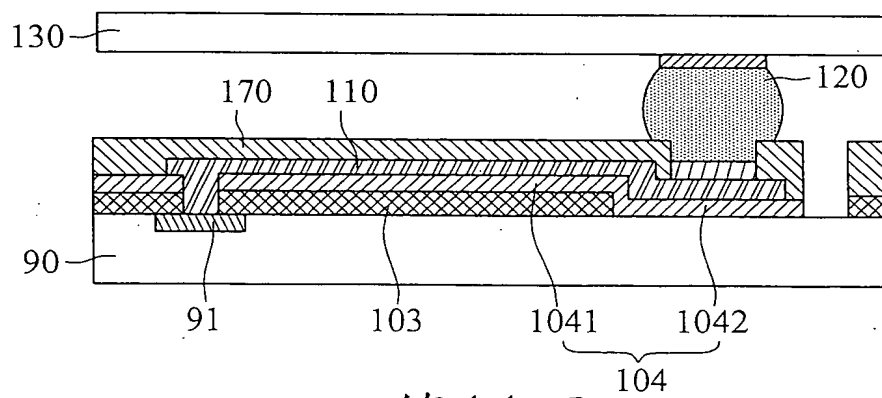
第8圖



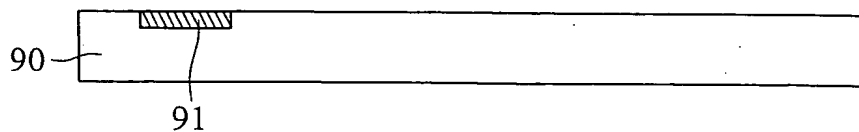
第9圖



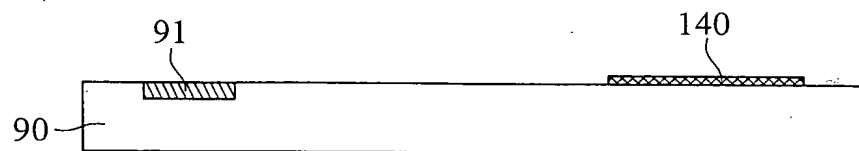
第10圖



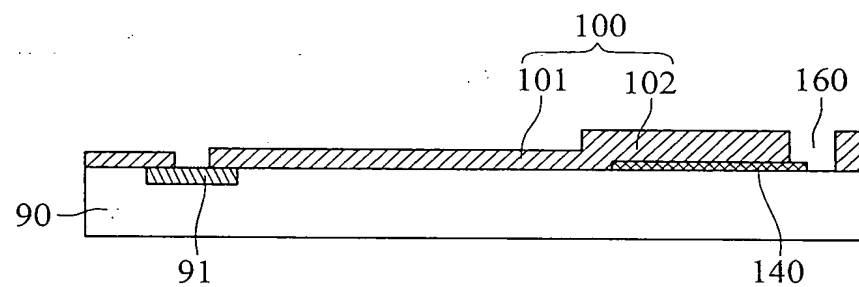
第11圖



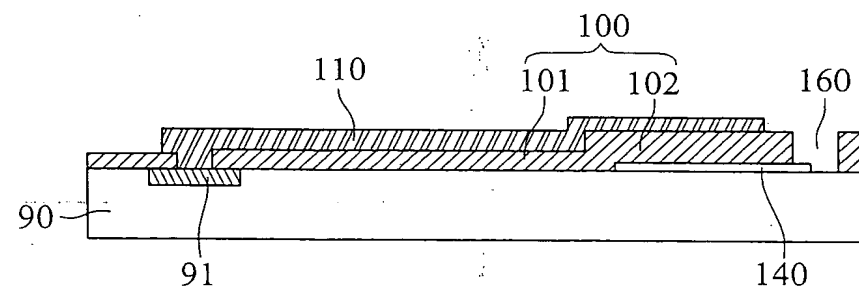
第12A圖



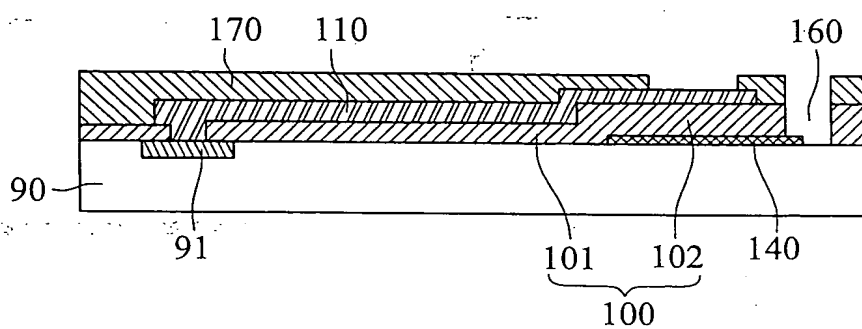
第12B圖



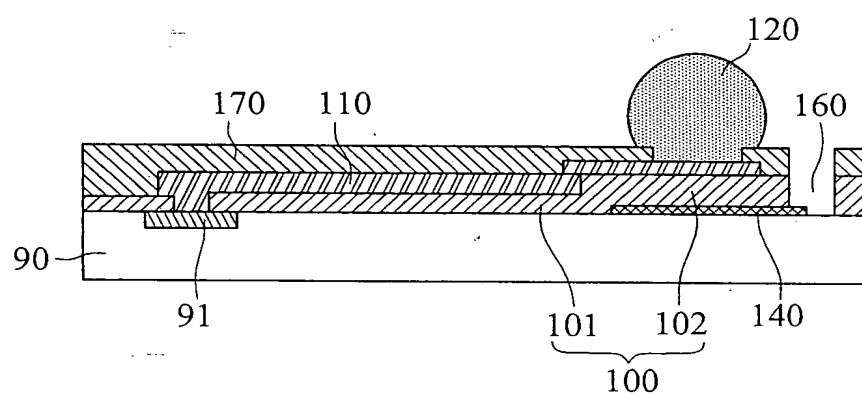
第12C圖



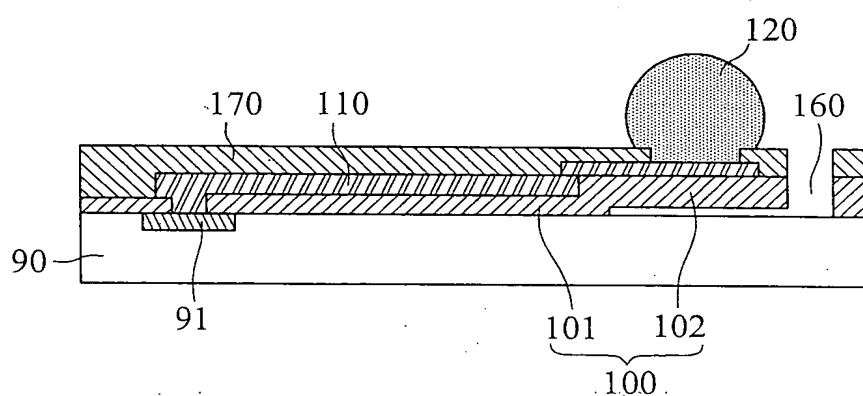
第12D圖



第12E圖



第12F圖



第12G圖